

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年8月11日 (11.08.2005)

PCT

(10) 国際公開番号  
WO 2005/074110 A1

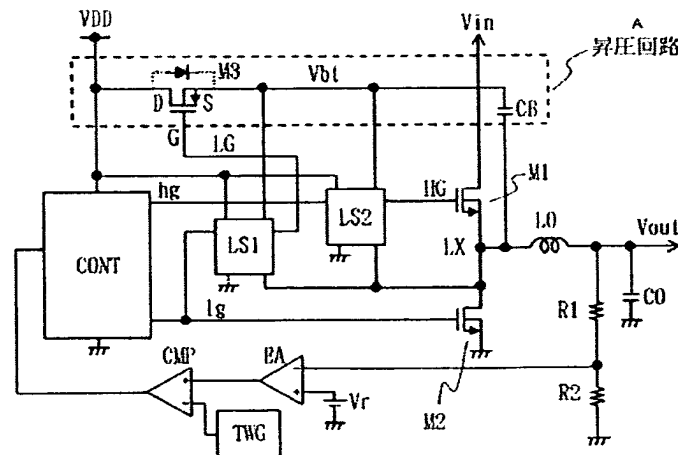
- (51) 国際特許分類<sup>7</sup>: H02M 3/155, H01L 21/822, 21/8234, 27/04, 27/088, H03K 17/687
- (21) 国際出願番号: PCT/JP2005/000329
- (22) 国際出願日: 2005年1月14日 (14.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-020517 2004年1月28日 (28.01.2004) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).

- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 細川 恭一 (HOSOKAWA, Kyoichi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 工藤 良太郎 (KUDO, Ryotaro) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 長澤 俊夫 (NAGASAWA, Toshio) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 立野 孝治 (TATENO, Koji) [JP/JP]; 〒3191292 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内 Ibaraki (JP).
- (74) 代理人: 徳若光政 (TOKUWAKA, Kousei); 〒1810001 東京都三鷹市井の頭5丁目16番8号 Tokyo (JP).

/続葉有/

(54) Title: SWITCHING POWER SUPPLY AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: スイッチング電源と半導体集積回路



A BOOSTER CIRCUIT

(57) Abstract: [PROBLEMS] A switching power supply and a semiconductor integrated circuit, wherein even when a power supply voltage (VDD) is low, a sufficient drive voltage can be obtained for a switch element (M1) on a higher potential side. [MEANS FOR SOLVING PROBLEMS] A switching power supply wherein the current to be caused to flow through an inductor via switch elements that operate in accordance with a PWM signal is controlled, and a capacitor provided in series with the inductor is used to form an output voltage. In the switching power supply, a booster circuit, which comprises a bootstrap capacitor and a MOSFET, is provided between an output node of the switch elements and a predetermined voltage terminal. The boosted voltage of the booster circuit is used as an operation voltage of the driver circuit for the switch elements. The source-drain region of one of the switch elements is connected to the base gate of the other switch element such that when the MOSFET is placed in off state, the junction diode between the source-drain region and the base gate of the other switch element is in the reverse direction for the boosted voltage formed by the bootstrap capacitance.

(57) 要約: 【課題】 電源電圧VDDが低い場合においても、高電位側スイッチ素子M1の十分な駆動電圧を得ることを実現したスイッチング電源と半導体集積回路を提供する。【解決手段】 PWM信号に従ってスイ

/続葉有/

WO 2005/074110 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

チ動作を行うスイッチ素子を通してインダクタに流す電流を制御し、上記インダクタに直列形態に設けられたキャパシタにより出力電圧を形成するスイッチング電源において、上記スイッチ素子の出力ノードと所定電圧端子間にブートストラップ容量とMOSFETとからなる昇圧回路を設け、その昇圧電圧を上記スイッチ素子の駆動回路の動作電圧とし、上記MOSFETがオフ状態にされると、一方のソース、ドレイン領域と基板ゲート間の接合ダイオードが上記ブートストラップ容量により形成された昇圧電圧に対して逆方向になるように他方のソース、ドレイン領域と上記基板ゲートとを接続する。